

《计算机组成原理》试卷

一、填空题

1. 整数x的机器数为11011000, 分别对x进行逻辑右移1位和算术右移1位操作, 得到的机器数分别是_____和_____。
2. 已知 $[X_1]_{原} = 01100110B$, $[X_2]_{反} = 01100111B$, $[X_3]_{补} = 01110011B$, $[X_4]_{移} = 00110011B$, X_1 、 X_2 、 X_3 、 X_4 的关系是_____。
3. 假定用若干个 $2k \times 4$ 位的芯片组成一个 $8k \times 8$ 位的存储器, 则地址0B1FH所在芯片的最小地址是_____。
4. 某计算机有五级中断L4~L0, 中断屏蔽字为M4M3M2M1M0, $M_i=1$ ($0 \leq i \leq 4$) 表示对Li级中断进行屏蔽。若中断响应优先级从高到低的顺序是L4→L0→L2→L1→L3, 则L1的中断处理程序中设置的中断屏蔽字是_____。
5. 某计算机的Cache 共有 16 块, 采用 4 路组相联映射方式(即每组 2 块)。每个主存块大小为 32 字节, 按字节编址。主存 500 号单元所在主存块应装入到 Cache 的第_____组。
6. 某机器字长16 位, 主存按字节编址, 转移指令采用相对寻址, 由两个字节组成, 第一字节为操作码字段, 第二字节为相对位移量字段。假定取指令时, 每取一个字节PC自动加1。若某转移指令所在主存地址为2000H, 相对位移量字段的内容为06H, 则该转移指令成功转移后的目标地址是_____。
7. 用海明码对长度为8位的数据进行检/纠错时, 若能纠正一位错。则校验位数至少为_____位。
8. 有下列操作:
I 保护现场 II 开中断 III 关中断 IV 保存断点 V 中断事件处理
VI 恢复现场 VII 中断返回
在单级中断系统中, 中断服务程序内的执行顺序是_____。
9. 在计算机的存储体系中, 为了提高速度, 在 CPU 和主存之间采用了_____, 用于存放当前最活跃的程序和数据, 其理论根据是_____原理。
10. 某计算机主存容量为64KB, 其中ROM 区为4KB, 其余为RAM 区, 按字节编址。现要用 $2K \times 8$ 位的ROM芯片和 $4K \times 4$ 位的RAM 芯片来设计该存储器, 则需要上述规格的ROM 芯片_____片和RAM 芯片_____片。

二、单项选择题

1. 下列关于RISC 的叙述中, 错误的是()。
A. RISC 普遍采用微程序控制器
B. RISC 大多数指令在一个时钟周期内完成
C. RISC 的内部通用寄存器数量相对CISC多
D. RISC 的指令数、寻址方式和指令格式种类相对CISC少
2. CPU 响应中断请求的条件之一是()。
A. 当前微指令执行结束
B. 当前机器周期结束
C. 当前指令执行结束
D. 当前 DMA 处理结束
3. 下列选项中的英文缩写均为总线标准的是()。
A. PCI、CRT、USB、EISA
B. ISA、CPI、VESA、EISA
C. ISA、SCSI、RAM、MIPS
D. ISA、EISA、PCI、PCI-Express

4. 下列选项中, 能引起外部中断的事件是 ()。
- A. 键盘输入 B. 除数为0 C. 浮点运算下溢 D. 访存缺页
5. 下列有关RAM 和ROM 的叙述中, 正确的是 ()。
- I RAM 是易失性存储器, ROM 是非易失性存储器
 II RAM 和ROM 都采用随机存取方式进行信息访问
 III RAM 和ROM 都可用作Cache
 IV RAM 和ROM 都需要进行刷新
- A. 仅 I 和 II B. 仅 II 和 III C. 仅 I, II 和 IV D. 仅 II, III 和 IV
6. 假定一台计算机的显示存储器用 DRAM 芯片实现, 若要求显示分辨率为 1600*1200, 颜色深度为 24 位, 帧频为 85HZ, 显存总带宽的 50%用来刷新屏幕, 则需要的显存总带宽至少约为 ()。
- A. 245Mbps B. 979Mbps C. 1958Mbps D. 7834Mbps
7. 对计算机的软、硬件资源进行管理是由 () 完成的。
- A. 操作系统 B. 语言处理程序 C. 用户 D. BIOS
8. 某同步总线的时钟频率为 100MHz, 宽度为 32 位, 地址/数据线复用, 每传输一个地址或数据占用一个时钟周期。若该总线支持突发(猝发)传输方式, 则一次“主存写”总线事务传输 128 位数据所需要的时间至少是 ()。
- A. 20ns B. 40ns C. 50ns D. 80ns
9. 下列各类存储器中, 不采用随机存取方式的是 ()。
- A. EPROM B. CDROM C. DRAM D. SRAM
10. 下列给出的指令系统特点中, 有利于实现指令流水线的是 ()
- I. 指令格式规整且长度一致 II. 指令和数据按边界对齐存放
 III. 只有Load/Store指令才能对操作数进行存储访问
- A. 仅 I、II B. 仅 II、III C. 仅 I、III D. I、II、III
11. 变址寻址方式中, 操作数的有效地址等于 ()。
- A. 基值寄存器的内容加上形式地址 (位移量)
 B. 堆栈指示器的内容加上形式地址 (位移量)
 C. 变址寄存器的内容加上形式地址 (位移量)
 D. 程序计数器的内容加上形式地址 (位移量)
12. 移码表示法主要用于 ()。
- A. 进行两个操作数的加减运算 B. 表示浮点数的阶码
 C. 进行两个操作数的乘除运算 D. 表示浮点数的尾数
13. 某机采用定点小数、补码表示, 机器字长为64位, 其中包括1位符号, 63位尾数, 该机所能表示的最小负数为 ()。
- A. $-(1 - 2^{-64})$ B. $-(1 - 2^{-63})$ C. -2^{-63} D. -1
14. 设机器字长为 8 位, $[x]_{\text{补}} = 1.0101100$, $[y]_{\text{补}} = 0.1000110$, 则 $[x]_{\text{补}} - [y]_{\text{补}}$ 运算的结果是 ()。
- A. 10.1000110 B. 0.1000110 C. 负溢出, 出错 D. 正溢出, 出错
15. 冯·诺依曼思想的核心是存储程序, 存储程序是指 ()
- A. 在用计算机解题之前, 事先编制好程序, 并连同所需的数据预先存入寄存器中。
 B. 在用计算机解题之前, 事先编制好程序, 并连同所需的数据预先存入 Cache 中。
 C. 在用计算机解题之前, 事先编制好程序, 并连同所需的数据预先存入主存储器中。
 D. 在用计算机解题之前, 事先编制好程序, 并连同所需的数据预先存入硬盘中。

三、综合题

1. 下列选项中, 在 I/O 总线的数据线上传输的信息包括哪些? 请说明理由。

I. I/O 接口中的命令字 II. I/O 接口中的状态字 III. 中断类型号

2、下列关于中断I/O方式和DMA方式比较的叙述中, 错误的是那一条? 说明理由。

- (1) 中断I/O方式请求的是CPU处理时间, DMA方式请求的是总线使用权
- (2) 中断响应发生在一条指令执行结束后, DMA响应发生在一个总线事务完成后
- (3) 中断 I/O 方式下数据传送通过软件完成, DMA 方式下数据传送由硬件完成
- (4) 中断 I/O 方式适用于所有外部设备, DMA 方式仅适用于快速外部设备

3.已知某机的浮点数格式如下:

0	1	8	9	31
数符	阶 码	尾 数		

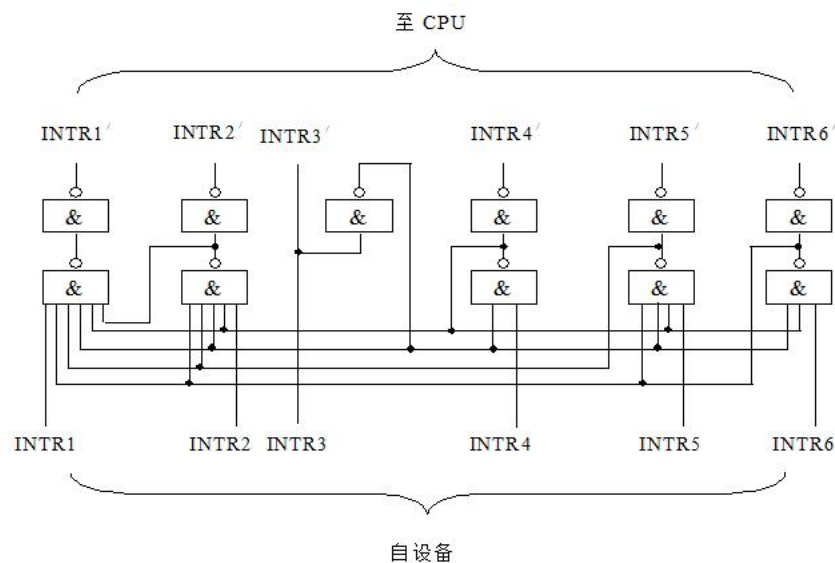
其中: 阶码采用移码表示, 尾数采用补码表示, 基值为均为 2。

- (1) 阶码和尾数的位数各自反映了浮点数的什么特性?
- (2) 写出该浮点数所能表示的规格化最小正数和最小负数的十六进制机器数形式及其对应的十进制真值。
- (3) 设该浮点数的十六进制机器数是 44480000H, 其对应的十进制真值是多少?
- (4) 若 44480000H 为 IEEE754 单精度格式浮点数的十六进制表示, 则对应的十进制真值是多少?

4. 今有四级流水线, 分别完成取指 (IF)、译码并取数 (ID)、执行 (EX)、写结果 (WR) 4个步骤。假设完成各步操作的时间依次为90ns、90ns、60ns、45ns。

- (1) 流水线的时钟周期应取何值?
- (2) 若相邻的指令发生数据相关, 那么第2条指令安排推迟多少时间才能不发生错误?
- (3) 若相邻两指令发生数据相关, 为了不推迟第2条指令的执行, 可采取什么措施?

5. 图4给出了一个并行优先级排队逻辑。



- (1) 根据图4提供的信息，哪个中断源的中断优先级最高？
- (2) 如果在CPU执行某用户程序过程中，有了中断源1、6的中断请求，CPU在处理中断源6的中断请求过程中，又有了中断源2、3的中断请求。请画出CPU处理各中断请求的过程。
- (3) 应该如何修改各中断源被响应后发出的中断屏蔽码，才能使各中断源的优先级临时修改为1→2→3→4→5→6？请列表给出各中断源应发出的中断屏蔽码。

6. 假定在一个8位字长的计算机中运行如下类C程序段：

```
unsignedint  x = 134;
unsignedint  y = 246;
int  m = x;
int  n = y;
unsignedint  z1 = x-y;
unsignedint  z2 = x+y;
int  k1 = m-n;
int  k2 = m+n;
```

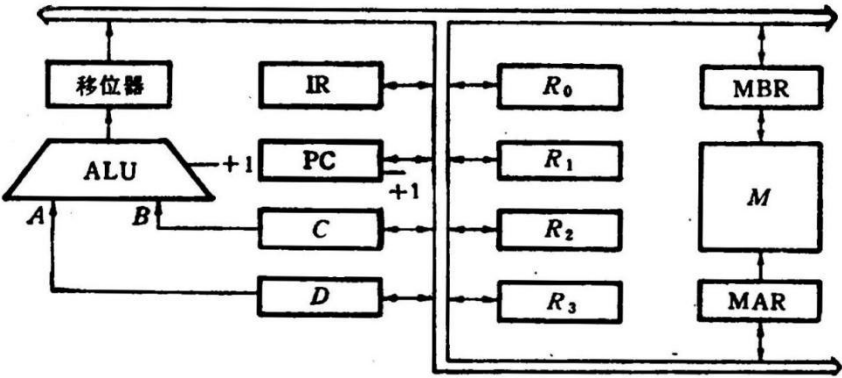
若编译器编译时将8个8位寄存器R1~R8分别分配给变量x、y、m、n、z1、z2、k1和k2。请回答下列问题。（提示：带符号整数用补码表示）

- (1) 执行上述程序段后，寄存器R1、R5和R6的内容分别是什么？（用十六进制表示）
- (2) 执行上述程序段后，变量m和k1的值分别是多少？（用十进制表示）
- (3) 上述程序段涉及带符号整数加/减、无符号整数加/减运算，这四种运算能否利用同一个加法器辅助电路实现？简述理由。

(4) 计算机内部如何判断带符号整数加/减运算的结果是否发生溢出？上述程序段中，哪些带符号整数运算语句的执行结果会发生溢出？

7.某计算机的数据通路如图 B10.2 所示，其中 M—主存，MBR—主存数据寄存器，MAR—主存地址寄存器，R0-R3—通用寄存器，IR—指令寄存器，PC—程序计数器（具有自增能力），C、D--暂存器，ALU—算术逻辑单元（此处做加法器看待），移位器—左移、右移、直通传送。所有双向箭头表示信息可以双向传送。

请按数据通路图画出指令“ADD (R1)，(R2)+”的指令周期流程图。该指令的含义是两个数进行求和操作。其中源操作地址在寄存器 R1 中，目的操作数寻址方式为自增型寄存器间接寻址（先取地址后加 1）。



8.设 CPU 共有 16 根地址线，8 根数据线，并用 $\overline{\text{MREQ}}$ 作访存控制信号（低电平有效），用 $\overline{\text{WE}}$ 作读写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4 位 RAM，4K×8 位 RAM，2K×8 位 ROM，以及 74138 译码器和各种门电路，如图所示。画出 CPU 与存储器连接图，要求：

- (1) 主存地址空间分配：8000H~87FFH 为系统程序区；8800H~8BFFH 为用户程序区。
- (2) 合理选用上述存储芯片，说明各选几片？
- (3) 详细画出存储芯片的片选逻辑。

