

1.假定基准程序在某计算机上的运行时间为 100s,其中 90s 为 CPU 时间,其余为 I/O 时间。若 CPU 速度提高 50%, I/O 速度不变,则运行基准程序 A 所耗费的时间是 ()。

A. 55s B.60s C.65S **D.70S**

2.某计算机的主频为 1.2GHz,其指令分为 4 类,它们在基准程序中所 占比例及 CPI 如下表所示。**C**

指令类型	所占比例	CPI	指令类型	所占比例	CPI
A	50%	2	C	10%	4
B	20%	3	D	20%	5

该机的 MIPS 数是 ()。

A. 100 B. 200 C. 400 D. 600

3.程序 P 在机器 M 上的执行时间是 20s,编译优化后,P 执行的指令数减少到原来的 70%,而 CPI 增加到原来的 1.2 倍,则 P 在 M 上的执行时间是 ()。

A.8.4s B.11.7S C.14S **D.16.8S**

4.假定计算机 M1 和 M2 具有相同的指令集体系结构 (ISA),主频分别为 1.5GHz 和 1.2GHz。在 M1 和 M2 上运行某基准程序 P,平均 CPI 分别为 2 和 1,则程序 P 在 M1 和 M2 上运行时间的比值是 ()。

A.0.4 B. 0.625 **C.1.6** D.2.5

5.2017 年公布的全球超级计算机 TOP500 排名中,我国"神威·太湖之光"超级计算机蝉联第一,其浮点运算速度为 93.0146 PFLOPS,说明该计算机每秒钟内完成的浮点操作次数约为 ()。

A. 9.3×10^{13} 次 B. 9.3×10^{15} 次 C.9.3 千万亿次 **D.9.3 亿亿次**

某台计算机只有 Load/Store 指令能对存储器进行读/写操作,其他指令只对寄存器进行操作。根据程序跟踪试验结果,已知每条指令所占的比例及 CPI 数如下表所示。

指令类型	指令所占比例	CPI	指令类型	指令所占比例	CPI
算术逻辑指令	43%	1	Store 指令	12%	2
Load 指令	21%	2	转移指令	24%	2

求上述情况的平均 CPI。

假设程序由 M 条指令组成。算术逻辑运算中 25%的指令的两个操作数中的一个已在寄存器中,另一个必须在算术逻辑指令执行前用 Load 指令从存储器中取到寄存器中。因此有人建议增加另一种算术逻辑指令,其特点是一个操作数取自寄存器,另一个操作数取自存储器,即寄存器-存储器类型,假设这种指令的 CPI 等于 2。同时,转移指令的 CPI 变为 3。求新指令系统的平均 CPI。

6.已知带符号整数用补码表示,变量 x , y , z 的机器数分别为 FFFDH, FDFH, 7FFCH, 下列结论中, 正确的是 ()。

- A.若 x , y 和 z 为无符号整数, 则 $z < x < y$
- B.若 x , y 和 z 为无符号整数, 则 $x < y < z$
- C.若 x , y 和 z 为带符号整数, 则 $x < y < z$
- D.若 x , y 和 z 为带符号整数, 则 $y < x < z$

7. 补码定点整数 0101 0101 左移两位后的值为 ()。

- A.01000111 B. 0101 0100 C. 01000110 D. 0101 0101

8, 补码定点整数 1001 0101 右移一位后的值为 ()。

- A.0100 1010 B. 01001010 1 C. 1000 1010 D. 1100 1010

9. 16 位补码 0x8FA0 扩展为 32 位应该是 ()。

- A. 0x0000 8FA0 B. 0xFFFF 8FA0 C. 0xFFFF FFA0 D. 0x8000 8FA0

10.若采用双符号位, 则两个正数相加产生溢出的特征时, 双符号位为 ()。

- A. 00 B. 01 C. 10 D. 11

11.在按字节编址的计算机中, 若数据在存储器中以小端方案存放。假定 int 型变量 i 的地址为 08000000H, i 的机器数为 01234567H, 地址 08000000H 单元的内容是 ()。

- A.01H B. 23H C. 45H D. 67H

12.某计算机存储器按字节编址, 采用小端方式存放数据。假定编译器规定 int 和 short 型长度分别为 32 位和 16 位、并且数据按边界对齐存储。某 C 语言程序段如下:

```
struct{
    int a;
    char b;
    short c;
}record;
Record.a=273;
```

若 record 变量的首地址为 0xC008, 地址 0xC008 中的内容及 record.c 的地址分别为 ()。

- A. 0x00、0xC00D B. 0x00、0xC00E C. 0x 11、 0xC00D D. 0x11、 0xC00E

13.某计算机字长为 32 位, 按字节编址、采用小端方式存放数据。假定有一个 double 型变量, 其机器数表示为 1122 3344 5566 7788H, 存放在 0000 8040H 开始的连续存储单元中, 则存储单元 0000 8046H 中存放的是 ()。

- A. 22H B. 33H C. 77H D. 66H

14.某 32 位计算机按字节编址, 采用小端方式。若语句 “ $\text{int } i = 0;$ ” 对应指令的机器代码为 “C7 45 FC 00 00 00 00” 则语句 “ $\text{int } i = -64;$ ” 对应指令的机器代码 是 ()。

- A. C7 45 FC C0 FF FF FF B. C7 45 FC 0C FF FF FF
- C. C7 45 FC FF FF FF C0 D. C7 45 FC FF FF FF 0C

10.在按字节编址、采用小端方式的 32 位计算机中,按边界对齐方式为 以下 C 语言结构型变量 a 分配存储空间。

```
struct record{
short x1;
int x2;
} a;
```

若 a 的首地址为 2020 FE00H. a 的成员变量 x2 的机器数为 1234 0000H.则其中 34H 所在存储单元的地址是 ()

A.2020 FE03H B. 2020 FE04H C. 2020 FE05H D. 2020 FE06H

16.设浮点数共 12 位。其中阶码含 1 位阶符共 4 位,以 2 为底,补码表示;尾数含 1 位数字符共 8 位,补码表示,规格化。则该浮点数所能表示的最大正数是 ()。

A. 128 B. 256 C. 255 D. 127

17.float 型数据通常用 IEEE 754 单精度格式表示。若编译器将 float 型变量 x 分配在一个 32 位浮点寄存器 FR1 中,且 $x=-8.25$,则 FR1 的内容是 ()。

A. C104 0000H B. C242 0000H C. C184 0000H D. C1C2 0000H

18.某个两级存储器系统的平均访问时间为 12ns,该存储器系统中顶层存储器的命中率为 90%,访问时间是 5ns,该存储器系统中底层存储器的访问时间是多少(假设采用同时访问两级存储器的方式)?

19. CPU 执行一段程序时,Cache 完成存取的次数为 1900,主存完成存取的次数为 100,已知 Cache 存取周期为 50ns,主存存取周期为 250ns。设主存与 Cache 同时访问。1) Cache/主存系统的效率是多少;2) 平均访问时间是多少。

20.若内存地址区间为 4000H~43FFH,每个存储单元可存储 16 位二进制数,该内存区域用 4 片存储器芯片构成,构成该内存所用的存储器芯片的容量是 ()。

A.512×16bit B.256×8bit C. 256×16bit D. 1024×8bit

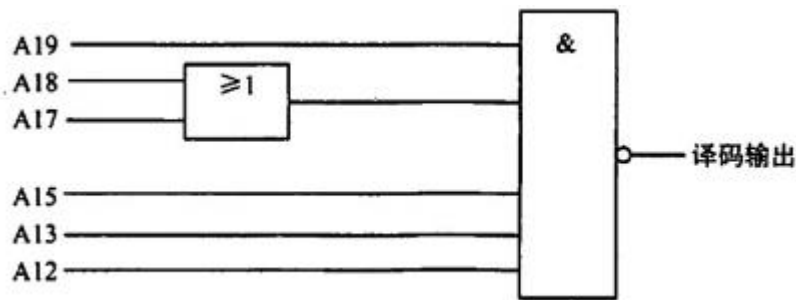
21.内存按字节编址,地址从 90000H 到 CFFFFH,若用存储容量为 16K×8 位芯片构成该内存,至少需要的芯片数是 ()。

A.2 B. 4 C.8 D. 16

22.若片选地址为 111 时,选定某一 32K×16 位的存储芯片工作,则该芯片在存储器中的首地址和末地址分别为 ()。

A.00000H, 01000HB. 38000H, 3FFFFH C. 3800H, 3FFH D. 0000H, 0100H

23.如下图所示,若低位地址 ($A_0 \sim A_{11}$) 接在内存芯片地址引脚上,高位地址 ($A_{12} \sim A_{19}$) 进行片选译码(其中 A_{14} 和 A_{16} 未参加译码),且片选信号低电平有效,则对图中所示的译码电路,不属于此译码空间的地址是 ()。



- A. AB000H~ABFFFH
- B. BB000H~BBFFFH
- C. EF000H~EFFFFH
- D. FE000H~FEFFFH

24.假定用若干 2K×4 位的芯片组成一个 8K×8 位的存储器，则地址 0B1FH 所在芯片的最小地址是（）。

- A.0000H B. 0600H C. 0700H D. 0800H

25.某机的主存空间为 64KB，I/O 空间与主存单元统一编址，I/O 空间占用 1KB，范围为 FC00H~FFFFH。可选用 8K×8 位和 1K×8 位两种 SRAM 芯片构成主存储器，RD 和 WR 分别为系统提供的读写信号线。画出该存储器的逻辑图，并标明每块芯片的地址范围。

26.有如下 C 语言程序段： for(k=0; k<1000; k++) a[k]= a[k]+ 32; 若数组 a 和变量 k 均为 int 型，int 型数据占 4B，数据 Cache 采用直接映射方式，数据区大小为 1KB、块大小为 16B，该程序段执行前 Cache 为空，则该程序段执行过程中访问数组 a 的 Cache 缺失率约为（）。

- A. 1.25%B.2.5% C. 12.5%D. 25%

27.某计算机的主存地址空间大小为 256MB，按字节编址。指令 Cache 和数据 Cache 分离，均有 8 个 Cache 行，每个 Cache 行大小为 64B，数据 Cache 采用直接映射方式。现有两个功能相同的程序 A 和 B，其伪代码如下所示：

```

程序 A： int a[256][256];
...
int Sum_array1()
{
    int i,j, sum=0;
    for(i=0;i<256;i++)
        for(j=0;j<256;j++)
            sum += a[i][j];
    return Sum;
}

```

程序 B：int a[256][256];

```

...
int sum array2()
{
    int i,j,sum=0;
    for(j=0;j<256;j++)
        for(i=0;i<256;i++)
            sum += a[i][j]
    return Sum;
}

```

假定 `int` 类型数据用 32 位补码表示，程序编译时，`i`、`j` 和 `sum` 均分配在寄存器中，数组 `a` 按行优先方式存放，其首地址为 320（十进制数）。请回答下列问题，要求说明理由或给出计算过程。

1) 不考虑用于 Cache 一致性维护和替换算法的控制位，数据 Cache 的总容量为多少？

2) 数组元素 `a[0][31]` 和 `a[11]` 各自所在的主存块对应的 Cache 行号是多少（Cache 行号 从 0 开始）？

程序 A 和 B 的数据访问命中率各是多少？哪个程序的执行时间更短？

28. 一个处理器中共有 32 个寄存器，使用 16 位立即数，其指令系统结构中共有 142 条指令。在某个给定的程序中，20% 的指令带有一个输入寄存器和一个输出寄存器；30% 的指令带有两个输入寄存器和一个输出寄存器；25% 的指令带有一个输入寄存器、一个输出寄存器、一个立即数寄存器；其余 25% 的指令带有一个立即数输入寄存器和一个输出寄存器。

1) 对于以上 4 种指令类型中的任意一种指令类型来说，共需要多少位？假定指令系统结构要求所有指令长度必须是 8 的整数倍。

2) 与使用定长指令集编码相比，当采用变长指令集编码时，该程序能够少占用多少存储空间？

29. 假设指令字长为 16 位，操作数的地址码为 6 位，指令有零地址、一地址、二地址 3 种格式。

1) 设操作码固定，若零地址指令有 M 种，一地址指令有 N 种，则二地址指令最多有几种？

2) 采用扩展操作码技术，二地址指令最多有几种？

3) 采用扩展操作码技术，若二地址指令有 P 条，零地址指令有 Q 条，则一地址指令最多有几种？

30. 按字节编址的计算机中，某 `double` 型数组 A 的首地址为 2000H，使用变址寻址和循环结构访问数组 A，保存数组下标的变址寄存器的初值为 0，每次循环取一个数组元素，其偏移地址为变址值乘以 `sizeof(double)`，取完后变址寄存器的内容自动加 1。若某次循环所取元素的地址为 2100H，则进入该次循环时变址寄存器的内容是（ ）。

A. 25 B. 32 C. 64 D. 100

31. 某计算机采用大端方式，按字节编址。某指令中操作数的机器数为 1234 FF00H，该操作数采用基址寻址方式，形式地址（用补码表示）为 FF12H，基址寄存器的内容为 F000 0000H，

则该操作数的 LSB（最低有效字节）所在的地址是（）。

- A. F000FF12H
- B. F000FF15H
- C. EFFFFFF12H
- D. EFFFFFF15H

32.现有四级流水线，分别完成取指令、指令译码并取数、运算、回写四步操作，假设完 成各部操作的时间依次为 100ns、100ns、80ns 和 50ns。试问：

- 1) 流水线的操作周期应设计为多少？
- 2) 若相邻两条指令如下，发生数据相关（假设在硬件上不采取措施），试分析第二条 指令要推迟多少时间进行才不会出错。

```
ADD R1,R2,R3      # R2+R3 -> R1
SUB R4,R1,R5      # R1-R5 -> R4
```

33.设某计算机有 4 个中断源 1、2、3、4，其硬件排队优先次序按 1→2→3→4 降序排列，各中断源的服务程序中所对应的屏蔽字如下表所示。

中断源	屏蔽字			
	1	2	3	4
1	1	1	0	1
2	0	1	0	0
3	1	1	1	1
4	0	1	0	1

- 1) 给出上述 4 个中断源的中断处理次序。
- 2) 若 4 个中断源同时有中断请求，画出 CPU 执行程序的轨迹。

33.假定某计算机的 CPU 主频为 80MHz，CPI 为 4，平均每条指令访存 1.5 次，主存与 Cache 之间交换的块大小为 16B，Cache 的命中率为 99%，存储器总线宽带为 32 位。问：该计算机的 MIPS 数是多少？平均每秒 Cache 缺失的次数是多少？在不考虑 DMA 传送的情况下，主存带宽至少达到多少才能满足 CPU 的访存要求？

